

CAPITULO 2

REGISTROS DE FUNCIONES ESPECIALES (SFR)



2.1 LOCALIDADES DE LOS REGISTROS DE FUNCIONES ESPECIALES.

En el capítulo anterior habíamos visto que los SFR se encuentran en la parte alta (128 bytes) de la memoria RAM interna del 8051. Las direcciones de los SFR es mostrado en la Tabla 2.

SÍMBOLO	NOMBRE	DIRECCIÓN
ACC	Acumulador	0EOH
B	Registro B	0F0H
PSW	Program Status Word (Palabra de estado del programa)	0DOH
SP	Stack Pointer (apuntador de apilamiento)	81H
DPTR	Data Pointer (apuntador de datos)16bits	
DPL	Data Pointer low byte	82H
DPH	Data Pointer high byte	83H
P0	Puerto 0	80H
P1	Puerto 1	90H
P2	Puerto 2	0A0H
P3	Puerto 3	0B0H
IP	Control de Prioridad de Interrup.	0B8H
IE	Control de Validación de Interrup.	0A8H
TMOD	Modo de control Timer/Contador	89H
TCON	Control del Timer/Contador	88H
T2CON(8052)	Control 2 del Timer/Contador	0C8H
TH0	Byte alto del T/C 0	8CH
TL0	Byte bajo del T/C 0	8AH
TH1	Byte alto del T/C 1	8DH
TL1	Byte bajo del T/C 1	8BH
TH2(8052)	Byte alto del T/C 2	0CDH
TL2(8052)	Byte bajo del T/C 2	0CCH
RCAP2H(8052)	Byte alto del registro de captura T/C2	0CBH
RCAP2L(8052)	Byte bajo del registro de capt. del T/C2	0CAH
SCON	Control serie	98H
SBUF	Buffer de datos serie	99H
PCON	Control de Potencia	87H

Tabla 2 Espacio de los registros de funciones especiales.

En la Fig. 2.1 se muestra el mapa de memoria correspondiente a los registros de funciones especiales.

Mapa de memoria de los SFR (registros de funciones especiales)

F8								FF
F0	B							F7
E8								EF
E0	ACC							E7
D8								DF
D0	PSW							D7
C8	T2CON		RCAP2L	RCAP2H	TL2	TH2		CF
C0								C7
B8	IP							BF
B0	P3							B7
A8	IE							AF
A0	P2							A7
98	SCON	SBUF						9F
90	P1							97
88	TCON	TMOD	TLO	TL1	TH0	TH1		8F
80	P0	SP	DPL	DPH				87
							PCON	

Fig. 2.1 Mapa de memoria de los SFR

A continuación veremos con mayor detalle cada uno de los principales registros de control del 8051.

2.2 REGISTRO DE PALABRA DEL ESTADO DEL PROGRAMA (PROGRAM STATUS WORD)

El registro de palabra del estado del programa contiene algunos bits que reflejan el estado del CPU en ese instante. El PSW se muestra en la fig.2.2.

CY	AC	F0	RS1	RS0	OV	-	P
-----------	-----------	-----------	------------	------------	-----------	----------	----------

Fig. 2.2 Registro PSW (Palabra de Estado del Programa)

CY	PSW.7	Bandera del carry
AC	PSW.6	Bandera del carry auxiliar (operaciones en BCD)
F0	PSW.5	Bandera 0 para usos generales
RS1	PSW.4	Bit 1 selector del banco de registros
RS0	PSW.3	Bit 0 selector del banco de registros
OV	PSW.2	Bandera del overflow
-	PSW.1	Bandera sin definir
P	PSW.0	Bandera de paridad, establece/limpia por hardware, indica si el número de 1's en el acumulador es par o impar.

Este registro como ya se vio, reside en el espacio SFR. El registro contiene; el bit de Carry, El bit Auxiliar (para operaciones BCD), los dos bits de selección del banco de registros, la bandera de overflow, el bit de paridad y dos banderas sin definir.

El bit de Paridad refleja el número de 1's, en el acumulador:

P=1, si el Acumulador contiene un número impar de 1's

P=0, si el Acumulador contiene un número par de 1's, es decir el número de 1's, en el acumulador más P es siempre par.

2.3. REGISTRO DE CONTROL DE POTENCIA (CONSUMO DE ENERGIA).

En la fig.2.3 tenemos el registro PCON, el cual a excepción de la bandera SMOD, sirve para controlar, principalmente el consumo de energía, el cual es utilizado sólo por los dispositivos fabricados con la tecnología CHMOS que permite disminuir dicho consumo de energía, en estados de espera. La bandera PCON.7 (SMOD) sirve para dividir la frecuencia de transmisión o de recepción por el puerto serie, proporcionada ya sea, por la fase 2 de los estados, (1/2 de la frecuencia del oscilador en la transmisión serie en modo 2), o bien, por el timer 1 en los modos 1 y 3.

SMOD	-	-	-	GF1	GF0	PD	IDL
-------------	---	---	---	------------	------------	-----------	------------

Fig.2.3 PCON (Registro de control de potencia)

SMOD	Dobla el "BAUD RATE" para el puerto serie cuando se utiliza el timer para generar el BAUD RATE.	
GF1	Propósitos generales	
GF0	Propósitos generales	
PD	Bajo consumo de energía	} 80C51BH CHMOS
IDL	Bajo consumo de energía	

2.4. REGISTROS DE INTERRUPCIONES.

Las interrupciones son controladas mediante la escritura en los registros IE (Interrupt Enable) e IP (Interrupt Priority) los cuales son físicamente representados en la fig.2.4.

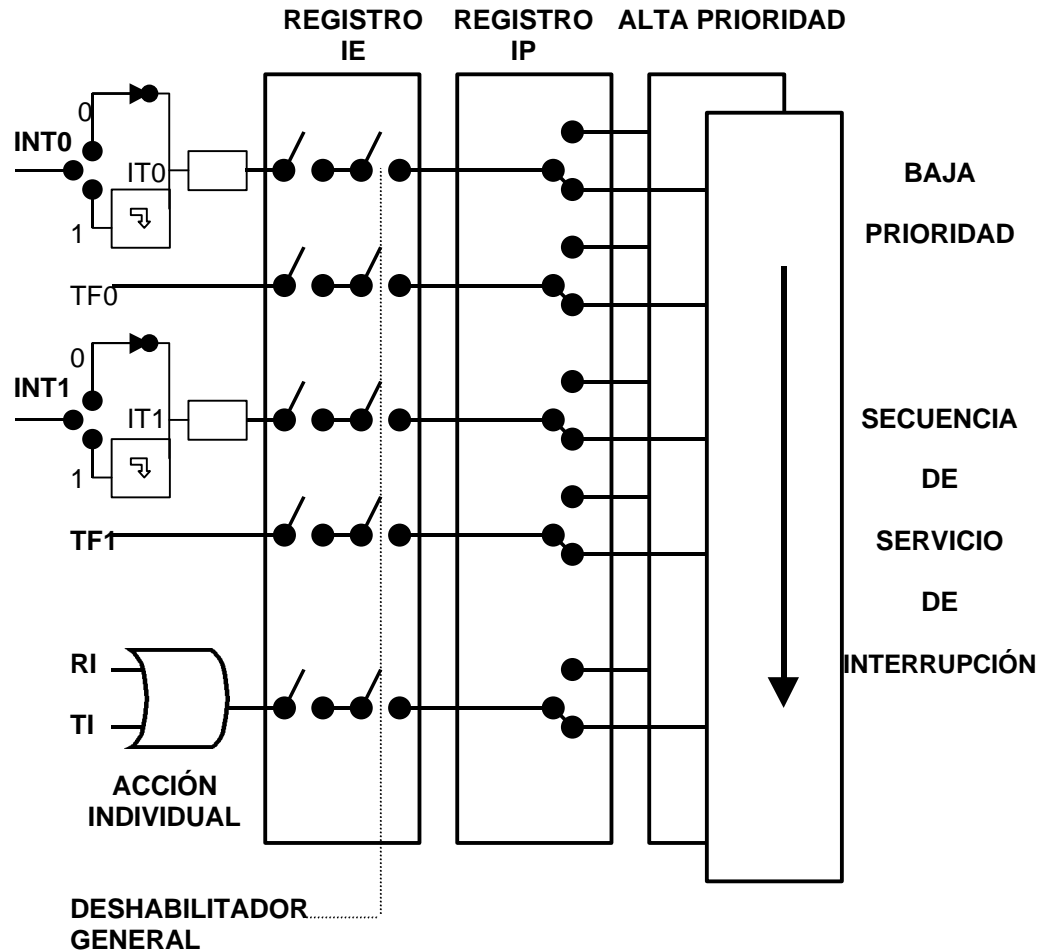


Fig. 2.4 Sistema de control de interrupciones

2.4.1 REGISTRO HABILITADOR DE INTERRUPCIONES (IE).

La desactivación general de las interrupciones es efectuada mediante la escritura de un 0 lógico, en la bandera EA (IE.7).

Con la bandera EA=1, el 8051 está en condiciones de aceptar interrupciones, aunque la verdadera aceptación es realizada cuando se escribe un 1 lógico, en la bandera de la interrupción correspondiente del registro de interrupciones, IE (fig.2.5).

EA	-	ET2	ES	ET1	EX1	ET0	EX0
-----------	----------	------------	-----------	------------	------------	------------	------------

Fig. 2.5 Registro IE (Interrupt Enable)

EA	IE.7	Desactiva todas las INTERRUPCIONES EA=0.
ET2	IE.5	Activa la interrupción causada por el timer2 (ET2=1)
ES	IE.4	Activa la interrupción causada por el puerto serial.
ET1	IE.3	Activa la interrupción de sobreflujo causada por el timer 1.
EX1	IE.2	Activa la interrupción causada externamente en INT1.
ET0	IE.1	Activa la interrupción de sobreflujo causada por el timer 0.
EX0	IE.0	Activa la interrupción causada externamente en INT 0.

2.4.2 REGISTRO DE PRIORIDAD.

El 8051 tiene dos planos de prioridad para trabajar las interrupciones, llamadas alto y bajo, respectivamente. En la inicialización, todas las interrupciones trabajan en el plano de baja prioridad. Para pasar del plano de baja prioridad al de alta, es necesario escribir un 1 lógico en las banderas correspondientes a las interrupciones que se desean aumentar de prioridad, ubicadas dentro del registro IP (fig.2.6.)

-	-	PT2	PS	PT1	PX1	PT0	PX0
----------	----------	------------	-----------	------------	------------	------------	------------

Fig. 2.6 Registro de Prioridad de Interrupciones

PT2	IP.5	Timer 2 PT2=1 mayor prioridad.
PS	IP.4	Define el nivel de prioridad de la interrupción del puerto serial.
PT1	IP.3	Define el nivel de prioridad de la interrupción del Timer 1.
PX1	IP.2	Define el nivel de prioridad de la interrupción externa 1.
PT0	IP.1	Define el nivel de prioridad de la interrupción del Timer 0.
PX0	IP.0	Define el nivel de prioridad de la interrupción externa 0.

Aunque los registros de control de los puertos del Timer / Contador y Serie pertenecen a los registros de funciones especiales les vamos a dedicar un capítulo completo a cada uno de ellos debido a la importancia que presentan para el desarrollo e interconexión con sistemas periféricos.